

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-335475

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 23/538				
H 0 5 K 3/46	E	6921-4E		
	Q	6921-4E		
			H 0 1 L 23/ 52	A

審査請求 未請求 請求項の数7(全 5 頁)

(21)出願番号 特願平4-140719

(22)出願日 平成4年(1992)6月1日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小谷 誠剛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

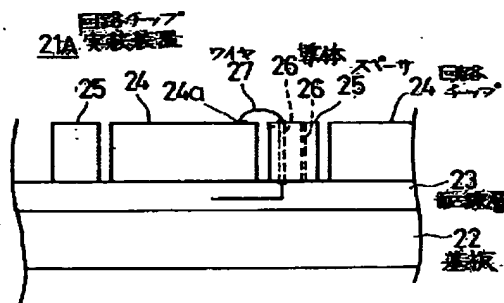
(54)【発明の名称】 回路チップ実装装置

(57)【要約】

【目的】 本発明は、複数の高速な回路チップが基板上に実装される回路チップ実装装置に関し、高速な回路チップを信号経路における多種のインピーダンスが設定された基板に高密度に実装することを目的とする。

【構成】 複数の回路チップ24を、基板22上に形成された配線層23上に載置させる。そして、それぞれの回路チップ24を配線層23との電氣的接続を、回路チップ間に設けられる導体26が内設されたスペーサ25により行う。

本発明の第1の実施例の構成図



【特許請求の範囲】

【請求項1】 剛性を有する基板(22)と、所定のパターンが形成された薄膜が所定数積層されて、該基板(22)上に形成される配線層(23)と、該配線層(23)上に、回路表面を上向きにして載置される所定数のチップ(24)と、該チップ(24)間に設けられ、一端が該チップ(24)に接続され、他端が前記配線層(23)に接続される導体(26)が所定数内設される該チップ(24)と同一厚さの接続部と、を含むことを特徴とする回路チップ実装装置。

【請求項2】 前記基板(22)を、所定パターンの配線が形成された配線基板層を所定数積層して形成することを特徴とする請求項1記載の回路チップ実装装置。

【請求項3】 前記接続部(25)を、厚さ方向に所定数の前記導体(26)を内設して柱状に形成することを特徴とする請求項1又は2記載の回路チップ実装装置。

【請求項4】 前記接続部(25)を、厚さ方向に、第1の導体(26a)に内設させ、第2の導体(26b)を該第1の導体(26a)の周囲に配設することを特徴とする請求項1又は2記載の回路チップ実装装置。

【請求項5】 前記接続部(25a)は、複数の前記チップ(24)が位置する部分に開口部(32)が形成されて一括に形成されることを特徴とする請求項1又は2記載の回路チップ実装装置。

【請求項6】 前記基板(22)の、前記配線層(23)が形成される反対面に、該配線層(22)と同一の第2の配線層(23a)を形成し、該第2の配線層(23a)上に、前記チップ(24)及び前記接続部(25、25a)と同一の第2の接続部(25b)を形成することを特徴とする請求項1乃至5記載の回路チップ実装装置。

【請求項7】 前記基板(22)は、前記配線層(23)及び前記第2の配線層(23a)を電氣的に接続する所定のパターン(22a)が形成されることを特徴とする請求項6記載の回路チップ実装装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の高速な回路チップが基板上に実装される回路チップ実装装置に関する。

【0002】近年、例えば超伝導素子の一つであるジョセフソン素子を用いた回路チップが試作され、その高速性能が実証されてきている。ジョセフソンチップは消費電力が小さいため、高密度に実装することが可能であるが、その反面、他の半導体チップとは異なる実装上の問題がある。すなわち、極低温環境での動作であるため、構成部品の熱収縮率の違いが大きく影響すること、またチップ内が低インピーダンスであるため、チップ間の配線も低インピーダンスが望ましいこと、さらに特性が温度変化に敏感であるため、冷却材(液体ヘリウム)と直

に接していることが望ましいこと等である。またこのため、これらの問題は、将来的に半導体チップをより高速化する傾向に鑑み、これらの問題を解決して複数の素子を実装することが要求される。

【0003】

【従来の技術】図5に、従来のマルチチップの回路チップ実装装置の一例の部分構成図を示す。図5においては、回路チップを、例えばジョセフソンチップを複数実装する場合について示す。

10 【0004】図5において、回路チップ実装装置11は、ジョセフソンチップ12の厚み及び大きさと同等の、深さ及び広さのキャビティ13がジョセフソンチップ12と同じ個数で形成されたセラミック多層配線の基板14が用いられる。そして基板14のキャビティ13間には、所定パターンが配線されたポリイミドの薄膜多層配線層15が形成される。

【0005】この基板14のキャビティ13内にはそれぞれジョセフソンチップ12が上向きに載置され、該ジョセフソンチップ12の端子と薄膜多層配線15とがワイヤ16によりワイヤボンディングで接続されるものである。

【0006】一般にジョセフソンチップ12は極低温動作で高速処理を行うもので、これを複数設置したマルチチップでより高速化を図るものである。

【0007】一方、図示しないが他の実装方法として、ジョセフソンチップ表面の回路面と、基板表面を対向させ、バンパにより直接接続を行うフリップチップ法が用いられる。この方法は、ジョセフソンチップ上の端子と基板上の端子との間を短い距離で接続することができ、高速性能に優れている。

【0008】

【発明が解決しようとする課題】しかし、図5に示すような実装では、チップ12間が狭くなるに従い、基板14の配線領域(薄膜多層配線層15)が減少し、多層で配線を行うことができなくなり、殆ど総ての配線を基板内部で行う必要がある。

【0009】そのため、基板14の内部で用いることが可能な配線は、セラミックと同時焼成した厚膜パターンによるものとなる。従って、セラミックの高い誘電率(6〜9程度)及び、積層される厚さ0.1mmのセラミックグリーンシートの厚さの下限(0.1mm)から、信号線路が低速の高インピーダンスになるという問題がある。

【0010】また、フリップチップ法は、ジョセフソンチップと基板の熱収縮率の違いにより熱サイクルによるストレスが加わると共に、チップ表面(回路面側)と基板との間に冷却材が循環され難く、極低温動作のジョセフソンチップの実装に適用することが困難であるという問題がある。

【0011】そこで、本発明は上記課題に鑑みなされたもので、高速な回路チップを信号経路における多種のイ

ンピーダンスが設定された基板に高密度に実装させる半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題は、剛性を有する基板と、所定のパターンが形成された薄膜が所定数積層されて、該基板上に形成される配線層と、該配線層上に、回路表面を上向きにして載置される所定数のチップと、該チップ間に設けられ、一端が該チップに接続され、他端が前記配線層に接続される導体が所定数内設される該チップと同一厚さの接続部と、を含んで構成することにより解決される。

【0013】

【作用】上述のように、複数のチップを、基板上に形成された配線層上に載置される。そして、それぞれのチップと配線層との電気的接続を、チップ間に設けられる接続部により行う。

【0014】従って、信号経路となる配線層が薄膜を積層させることから、誘電率が小さく、多種のインピーダンスを有する高速伝送路を形成することが可能となる。

【0015】また、接続部により、信号経路が短縮され、チップ同士を接近させて高密度化を図ることが可能になると共に、熱ストレスによる熱収縮率の違いを吸収させることが可能になる。さらに、フリップチップ法を用いずに高密度化が図れることから、冷却する場合であっても熱交換特性を向上させることが可能となる。

【0016】

【実施例】図1に、本発明の第1の実施例の構成図を示す。図1において、回路チップ実装装置21aは、まず、剛性を有する基板22上に、所定パターンが形成された薄膜を積層した配線層23が形成される。

【0017】基板22は、単一であってもよく、厚膜パターン配線が形成される基板層を同時焼成したセラミック基板であってもよい。また、配線層23は、例えばポリイミド薄膜を積層（例えば数 μm ）した薄膜多層配線で構成される。

【0018】配線層23上には、複数の回路チップ（例えば、ジョセフソンチップ）24が、チップ同士の間隔を最小0.5 μm 程度まで接近させて載置される。この場合、回路チップ24の回路面（電極パッド24aが形成される面）が上向きとなる。また、回路チップ24間には、それぞれ接続部であるスペーサ25が設けられる。スペーサ25は、回路チップ24と同一厚さであり、厚さ方向に所定数の導体26が内設される。

【0019】導体26の一端（端面）は、回路チップ24の電極パッド24aとワイヤ27で接続され、他端は、配線層23の対応する電極（図2参照）に接続される。すなわち、回路チップ24は、スペーサ25の導体26により配線層23に電気的に接続されるものである。

【0020】スペーサ25は、例えば導体ペーストを埋

設したセラミックで同時焼成することによって形成され、又はポリイミドで構成し、導体26となる金属柱を埋設することによっても形成される。

【0021】ここで、図2に、図1のスペーサの電気的接続を説明するための図を示す。

【0022】図2（A）は、スペーサ25の導体26の配線層23への接続を示したもので、配線層23の対応する電極パッド23aにはインジウム等の軟金属のバンパ28が形成され、導体26の端面と圧着により接続される。この場合、配線層23へのインジウムバンパ28の形成は、厚膜レジストのリフトオフ法により形成可能である。すなわち、リフトオフ法は、配線層23上に厚膜レジストを塗布し、電極パッド23a上に孔を形成してインジウムを蒸着することにより、バンパ28を形成するものである。なお、バンパ28をはんだにより形成する場合、スペーサ25の導体26への接続は、リフロー加工によって行う。この場合のリフロー温度は、配線層23に用いたポリイミド等のキュア温度（ $\sim 400^\circ\text{C}$ ）以下にする必要がある。

【0023】また、図2（B）は、スペーサ25の導体26の端面に金めっきを施したランド部29を形成したもので、これによりワイヤ27によるボンディングが確実に行うことができるものである。

【0024】一方、図1では、回路チップ24とスペーサ25の導体26を、ワイヤ27により接続した場合を示しているが、図2（C）、（D）では、他の方法で電気的接続を行う場合を示している。

【0025】図2（C）は、回路チップ24の電極パッド24a上と、スペーサ25の導体26の一端面とに、バンパ30a、30bを形成し、薄膜リード（TAB；オートメーテッドボンディング）31を接続して電気的接続を行う。なお、バンパ30a、30bの片方又は両方を薄膜リード31に形成して接続を行ってもよい。また、図2（D）は、スペーサ25の導体26の一端面にはバンパ30bを形成しておき、回路チップ24では回路端子に薄膜リード31が一体に形成され、該薄膜リード31によりバンパ30bに接続するものである。なお、薄膜リード31の先端にバンパを形成してもよい。薄膜リード31の形成は、回路チップ24の形成時にウエハ上に形成し、ウェットエッチングにより回路チップ24を切り離す際に該回路チップ24の周囲に中空構造の金属ブリッジを形成して行うものである。

【0026】一方、図3に、図1のスペーサの他の構成図を示す。図3（A）は、スペーサ25に、厚さ方向に2つの第1及び第2の導体26a、26bを同軸構造で形成したもので、例えば導体26aを信号用とし、その周囲に導体26bを配置して接地用とするものである。すなわち、導体26a、26bをこのように配置することにより、ノイズの影響を防止することができる。

【0027】また、図3（B）は、接続部であるスペー

5

サ25aを井桁形状に一体に形成して、開口部32のそれぞれに回路チップ24が位置するようにしたもので、配線層23上に対して一括に設置されるものである。そして、スペース25aには、回路チップ24が位置する間に、図1又は図3(B)に示すような導体26、26a、26bが埋設される。なお、井桁形状スペース25aの開口部32の中抜きパターンは、使用される半導体チップ24の個数、形状に依存する。

【0028】このような回路チップ実装装置21Aは、基板22内の同時焼成による厚膜パターン配線のみならず、基板22上に設けた配線層23を用いることができるので、比誘電率が小さく(〜3.5)、薄い(数 μm)ポリイミド薄膜等の活用により、多種のインピーダンスを持つ高速伝送線路を形成できる。また、回路チップ間にはスペース25、25aを設置するための間隙を設けるだけでよいので、回路チップ24同士を最小0.5 μm 程度まで接近させて設置できると共に、熱収縮率の多少の違いは回路チップ24の電位パッド24aとスペース25、25aによって緩和されることから、熱サイクルに対する信頼性が向上する。さらに、従来法に比較しての配線長は、スペース25、25aの厚み分だけの延長で済むので、寄生容量、寄生インダクタンスの増加を殆どまねくことなく接続できると共に、回路面が上向きであることから、冷却する場合に熱交換性を向上させることができる。

【0029】次に、図4に、本発明の第2の実施例の構成図を示す。図4における回路チップ実装装置21Bは、図1における回路チップ実装装置21Aの基板22の裏面に、配線層23と同一の第2の配線層23aを形成し、第2の配線層23a上に、図1と同様の回路チップ24及び第2の接続部であるスペース25cを配設したものである。この場合、基板22は単層又は多層で形成し、配線層23及び第2の配線層23aをパターン22a(個数は適宜設定される)が形成される。なお、基板22の厚さ方向で、配線経路が長くなる場合には、

6

パターン22aの周囲にドーナツ状の接地パターン(図示せず)を形成して同軸構造としてもよい。

【0030】これにより、回路チップ24のより高密度化を図ることができるものである。なお、高速な回路チップであれば、ジョセフソンチップに限らず、半導体チップについても適用できるものである。

【0031】

【発明の効果】以上のように本発明によれば、複数の回路チップを、基板上に形成された配線層上に載置させ、チップと配線層との電気的接続をチップ間に設けられる接続部により行うことにより、高速なチップを、信号経路における多種のインピーダンスが設定された基板に、高密度に実装することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成図である。

【図2】図1のスペースの電気的接続を説明するための図である。

【図3】図1のスペースの他の構成図である。

【図4】本発明の第2の実施例の構成図である。

【図5】従来のマルチチップの回路チップ実装装置の一例の部分構成図である。

【符号の説明】

21A, 21B 回路チップ実装装置

22 基板

23 配線層

24 回路チップ

24a 電極パッド

25 スペース

26 導体

27 ワイヤ

28, 30a, 30b バンプ

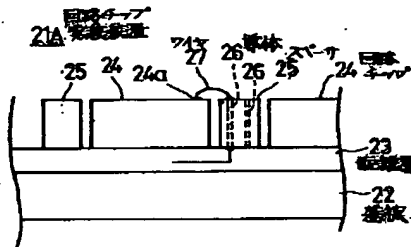
29 ランド部

31 薄膜リード

32 開口部

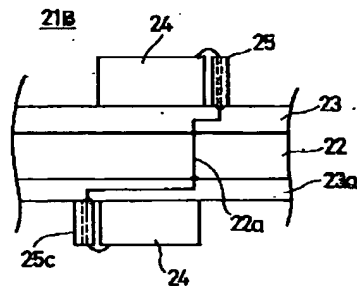
【図1】

本発明の第1の実施例の構成図



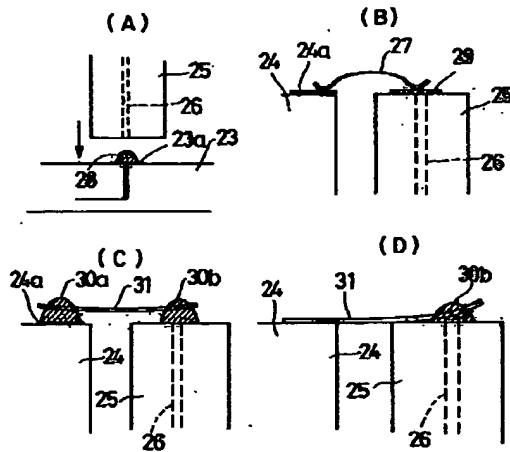
【図4】

本発明の第2の実施例の構成図

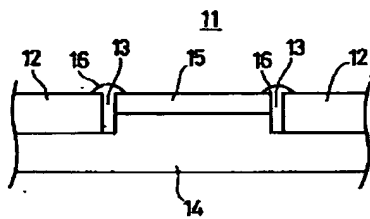


【図2】

図1のスペーサの電気的接続を説明するための図

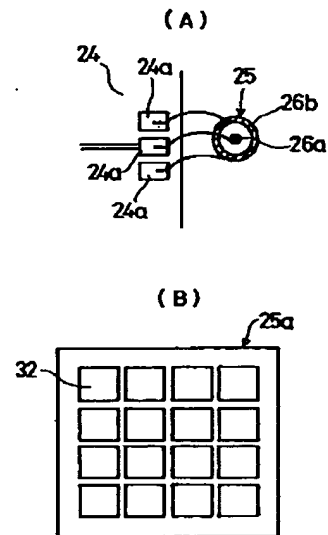


【図5】

従来のマルチチップの回路チップ実装装置の
一実施形態の構成図

【図3】

図1のスペーサの他の構成図



PAT-NO: JP405335475A
DOCUMENT-IDENTIFIER: JP 05335475 A
TITLE: CIRCUIT CHIP PACKAGED DEVICE
PUBN-DATE: December 17, 1993

INVENTOR-INFORMATION:
NAME
KOTANI, MASATAKE

ASSIGNEE-INFORMATION:
NAME FUJITSU LTD COUNTRY
N/A

APPL-NO: JP04140719
APPL-DATE: June 1, 1992

INT-CL (IPC): H01L023/538, H05K003/46
US-CL-CURRENT: 257/664, 257/700 , 257/724

ABSTRACT:

PURPOSE: To package the rapid circuit chips on the substrate at high density wherein various impedances in a signal path are set up in relation to the circuit chip packaged device wherein multiple rapid circuit chips are packaged on a substrate.

CONSTITUTION: Multiple circuit chips 24 are mounted on a wiring layer 23 formed on a substrate 22. Next, respective circuit chips 24 are electrically connected to the wiring layer 23 by a spacer 25 wherein a conductor 26 provided between the circuit chips 24 is internalized.

COPYRIGHT: (C) 1993, JPO&Japio

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the circuit chip mounting equipment with which two or more high-speed circuit chips are mounted on a substrate.

[0002] The circuit chip using the Josephson device which is one of the recent years, for example, a superconducting element, is made as an experiment, and the high-speed engine performance has been proved. Since Joseph SONCHIPPU has small power consumption, it has a problem on different mounting from other semiconductor chips which can be mounted in high density. That is, that wiring during a chip also has desirable low impedance, and since the inside of that the difference in the rate of a heat shrink of a component part influences greatly since it is actuation in a very-low-temperature environment, and a chip is low impedance, and the property is still more sensitive to a temperature change, it is that it is desirable that it is in contact with the coolant (liquid helium) soon etc. Moreover, for this reason, it is required that these problems should solve these problems in view of the inclination which will accelerate a semiconductor chip more in the future, and two or more components should be mounted.

[0003]

[Description of the Prior Art] The partial block diagram of an example of the circuit chip mounting equipment of the conventional multichip is shown in drawing 5. In drawing 5, a circuit chip is shown about the case where for example, two or more Joseph SONCHIPPU is mounted.

[0004] In drawing 5, the substrate 14 of the ceramic multilayer interconnection with which the cavity 13 of the depth and a size with circuit chip mounting equipment 11 equivalent to the thickness of Joseph SONCHIPPU 12 and magnitude was formed with the same number as Joseph SONCHIPPU 12 is used. And between the cavities 13 of a substrate 14, the thin film multilayer-interconnection layer 15 of the polyimide with which the predetermined pattern was wired is formed.

[0005] In the cavity 13 of this substrate 14, Joseph SONCHIPPU 12 is laid upward, respectively, and the terminal and the thin film multilayer interconnection 15 of this JOSEFUSON chip 12 are connected by the wire 16 by wirebonding.

[0006] Generally, Joseph SONCHIPPU 12 performs high-speed processing in very-low-temperature actuation, and attains improvement in the speed more by the multichip which installed two or more these.

[0007] On the other hand, although not illustrated, as other mounting approaches, the circuit side of the Joseph SONCHIPPU front face and a substrate front face are made to counter, and the flip chip method a bump performs direct continuation is used. This approach can connect between the terminal on Joseph SONCHIPPU, and the terminals on a substrate in a short distance, and is excellent in the high-speed engine performance.

[0008]

[Problem(s) to be Solved by the Invention] However, in mounting as shown in drawing 5, it becomes impossible for the wiring fields (thin film multilayer-interconnection layer 15) of a substrate 14 to decrease in number, and to wire by the multilayer, and it is necessary to perform almost all wiring inside a substrate as between chips 12 becomes narrow.

[0009] Therefore, wiring which can be used inside a substrate 14 is based on the thick-film pattern which carried out simultaneous baking with the ceramic. Therefore, there is a problem that a signal-line way becomes a low-speed high impedance, from the minimum (0.1 mm) of the thickness of the high dielectric constant (six to about 9) of a ceramic, and the ceramic green sheet of thickness 0.1 mm by which a laminating is carried out.

[0010] Moreover, a coolant cannot circulate through the flip chip method easily between a chip front face (circuit side side) and a substrate, and it has the problem that it is difficult to apply to mounting of Joseph SONCHIPPU of very-low-temperature actuation while the stress by the heat cycle is added by the difference in the rate of a heat shrink of Joseph SONCHIPPU and a substrate.

[0011] Then, this invention was made in view of the above-mentioned technical problem, and aims at offering the semiconductor device which makes the substrate with which the impedance of the variety in a signal path was set up mount a high-speed circuit chip in high density.

[0012]

[Means for Solving the Problem] The substrate with which the above-mentioned technical problem has rigidity, and the wiring layer which the predetermined number laminating of the thin film with which the predetermined pattern was formed is carried out, and is formed on this substrate, It is solved by constituting including the connection of the same thickness as the chip of a predetermined number laid by turning a circuit front face upward on this wiring layer, and this chip with which

predetermined number inside installation of the conductor by which it is prepared between these chips, an end is connected to this chip, and the other end is connected to said wiring layer is carried out.

[0013]

[Function] As mentioned above, two or more chips are laid on the wiring layer formed on the substrate. And the connection for which it is prepared between chips performs electrical installation of each chip and wiring layer.

[0014] Therefore, since the wiring layer used as a signal path carries out the laminating of the thin film, a dielectric constant becomes it is small and possible [forming the high-speed transmission line which has various impedances].

[0015] Moreover, while becoming possible for a signal path to be shortened by the connection, to make chips approach, and to attain densification, it becomes possible to make the difference in the rate of a heat shrink by heat stress absorb.

Furthermore, even if it is the case where it cools, it becomes possible from the ability of densification to be attained without using the flip chip method to raise a heat exchange property.

[0016]

[Example] The block diagram of the 1st example of this invention is shown in drawing 1 . It sets to drawing 1 and is circuit chip mounting equipment 21A. The wiring layer 23 which carried out the laminating of the thin film with which the predetermined pattern was first formed on the substrate 22 which has rigidity is formed.

[0017] A substrate 22 may be single and may be a ceramic substrate which carried out simultaneous baking of the substrate layer in which thick-film pattern wiring is formed. Moreover, a wiring layer 23 consists of thin film multilayer interconnections which carried out the laminating (for example, several micrometers) for example, of the polyimide thin film.

[0018] On a wiring layer 23, two or more circuit chips (for example, Joseph SONCHIPPU) 24 make spacing of chips approach in about a minimum of 0.5mm, and are laid. In this case, the circuit side (field in which electrode pad 24a is formed) of a circuit chip 24 serves as facing up. Moreover, the spacer 25 which is a connection, respectively is formed between circuit chips 24. A spacer 25 is the same thickness as a circuit chip 24, and the conductor 26 of a predetermined number is installed inside in the thickness direction.

[0019] The end (end face) of a conductor 26 is connected with electrode pad 24a of a circuit chip 24 with a wire 27, and the other end is connected to the electrode (refer to drawing 2) with which a wiring layer 23 corresponds. That is, a circuit chip 24 is electrically connected to a wiring layer 23 by the conductor 26 of a spacer 25.

[0020] A spacer 25 is formed by carrying out simultaneous baking with the ceramic which laid conductive paste underground, or is constituted from polyimide and formed also by laying the metal column used as a conductor 26 underground.

[0021] Here, drawing for explaining the electrical installation of the spacer of drawing 1 to drawing 2 is shown.

[0022] It is what showed connection with the wiring layer 23 of the conductor 26 of a spacer 25, the bump 28 of soft metals, such as an indium, is formed in electrode pad 23a to which a wiring layer 23 corresponds, and drawing 2 (A) is connected with the end face of a conductor 26 by sticking by pressure. In this case, formation of the indium bump 28 to a wiring layer 23 can be formed by the lift-off method of a thick-film resist. That is, the lift-off method forms a bump 28 by applying a thick-film resist on a wiring layer 23, forming a hole on electrode pad 23a, and vapor-depositing an indium. In addition, when forming a bump 28 with solder, connection with the conductor 26 of a spacer 25 is made by reflow processing. It is necessary to make reflow temperature in this case below into the curing temperature (-400 **) of the polyimide used for the wiring layer 23.

[0023] Moreover, drawing 2 (B) is the thing in which the land 29 which plated with gold at the end face of the conductor 26 of a spacer 25 was formed, and, thereby, bonding with a wire 27 can perform it certainly.

[0024] On the other hand, although drawing 1 shows the case where the conductor 26 of a spacer 25 is connected with a circuit chip 24 with a wire 27, drawing 2 (C) and (D) show the case where electrical installation is performed by other approaches.

[0025] Drawing 2 (C) forms Bumps 30a and 30b in the end side of the conductor 26 of a spacer 25 the electrode pad 24a top of a circuit chip 24, connects the thin film lead (TAB; automation TEDDO bonding) 31, and performs electrical installation. In addition, you may connect by forming both both [one of the two or] 30a and 30b in the thin film lead 31. Moreover, drawing 2 (D) forms bump 30b in the end side of the conductor 26 of a spacer 25, and in a circuit chip 24, the thin film lead 31 is formed in a circuit terminal at one, and it connects it to bump 30b with this thin film lead 31. In addition, a bump may be formed at the head of the thin film lead 31. Formation of the thin film lead 31 is performed by forming the metal bridge of hollow structure in the perimeter of this circuit chip 24, in case it forms on a wafer at the time of formation of a circuit chip 24 and a circuit chip 24 is separated by wet etching.

[0026] On the other hand, other block diagrams of the spacer of drawing 1 are shown in drawing 3 . that from which drawing 3 (A) formed two conductors, the 1st and the 2nd, 26a and 26b in the thickness direction with coaxial structure at the spacer 25 -- it is -- for example, a conductor -- 26a -- the object for signals -- carrying out -- the perimeter -- a conductor -- 26b is arranged and it carries out to touch-down. That is, the effect of a noise can be prevented by arranging Conductors 26a and 26b in this way.

[0027] Moreover, drawing 3 (B) forms in a parallel-crosses configuration at one spacer 25a which is a connection, is the thing to which it was made for a circuit chip 24 to be located in each of opening 32, and is installed in a package to a wiring layer 23 top. And while a circuit chip 24 is located, the conductors 26, 26a, and 26b as shown in drawing 1 or drawing 3 (B) are laid under the spacer 25a. In addition, it depends for the extraction pattern of the opening 32 of parallel-crosses configuration spacer 25a on the number of the semiconductor chip 24 used, and a configuration.

[0028] Such circuit chip mounting equipment 21A Since the wiring layer 23 prepared not only thick-film pattern wiring by

simultaneous baking in a substrate 22 but on the substrate 22 can be used, specific inductive capacity can form the high-speed transmission line with various impedances by the activity of a thin (several micrometers) polyimide thin film etc. small (- 3.5). Moreover, since what is necessary is just to prepare the gap for installing Spacers 25 and 25a between circuit chips, while making circuit chip 24 comrades approach in about a minimum of 0.5mm and being able to install them, since it is eased by potential pad 24a of a circuit chip 24, and Spacers 25 and 25a, the dependability of the difference among some of rates of a heat shrink over a heat cycle improves. Furthermore, since the wire length in comparison with a conventional method can be managed with extension only for thickness of Spacers 25 and 25a, while there is almost nothing with loam Lycium chinense and it can connect the increment in parasitic capacitance and a parasitism inductance, when cooling, it can raise heat exchange nature from a circuit side being upward.

[0029] Next, the block diagram of the 2nd example of this invention is shown in drawing 4. Circuit chip mounting equipment 21B in drawing 4 Circuit chip mounting equipment 21A in drawing 1 The 2nd same wiring layer 23a as a wiring layer 23 is formed in the rear face of a substrate 22, and spacer 25c which is the same circuit chip 24 as drawing 1 and the 2nd connection is arranged on 2nd wiring layer 23a. In this case, a substrate 22 is formed by the monolayer or the multilayer, and pattern 22a (the number is set up suitably) is formed in a wiring layer 23 and wiring layer 23 of ** 2nd a. In addition, in the thickness direction of a substrate 22, when a wiring path becomes long, a doughnut-like touch-down pattern (not shown) is formed in the perimeter of pattern 22a, and it is good also as coaxial structure.

[0030] Thereby, densification can be attained from that of a circuit chip 24. In addition, if it is a high-speed circuit chip, it is applicable not only about Joseph SONCHIPPU but a semiconductor chip.

[0031]

[Effect of the Invention] According to this invention, a high-speed chip can be mounted in the substrate with which the impedance of the variety in a signal path was set up as mentioned above at high density by making it lay on the wiring layer formed on the substrate in two or more circuit chips, and performing electrical installation of a chip and a wiring layer by the connection prepared between chips.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the 1st example of this invention.

[Drawing 2] It is drawing for explaining the electrical installation of the spacer of drawing 1 .

[Drawing 3] They are other block diagrams of the spacer of drawing 1 .

[Drawing 4] It is the block diagram of the 2nd example of this invention.

[Drawing 5] It is the partial block diagram of an example of the circuit chip mounting equipment of the conventional multichip.

[Description of Notations]

21A 21B Circuit chip mounting equipment

22 Substrate

23 Wiring Layer

24 Circuit Chip

24a Electrode pad

25 Spacer

26 Conductor

27 Wire

28, 30a, 30b Bump

29 Land

31 Thin Film Lead

32 Opening

[Translation done.]

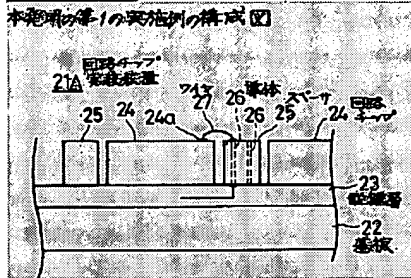
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

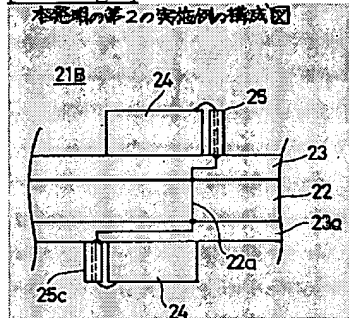
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

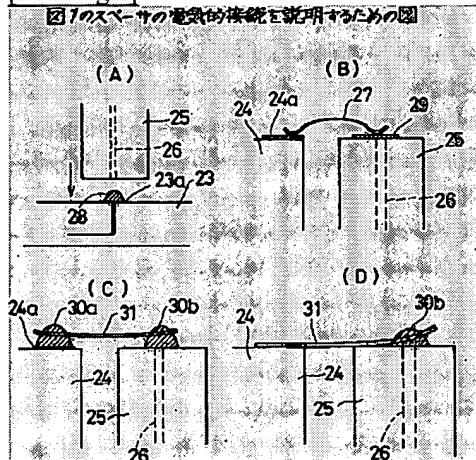
[Drawing 1]



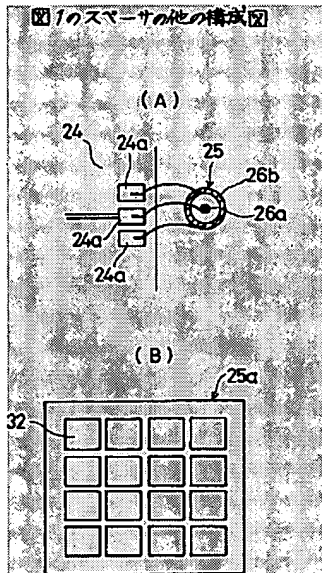
[Drawing 4]



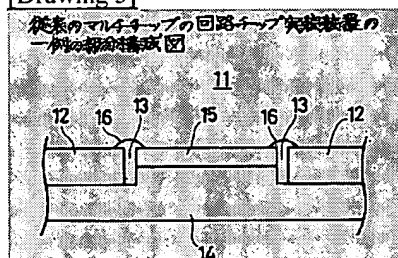
[Drawing 2]



[Drawing 3]



[Drawing 5]



[Translation done.]